

# ENGINE

Teaching online electronics, microcontrollers and programming in Higher Education

---

## **Sprzętowa implementacja algorytmów**

8. Generator sygnału wideo (interfejs VGA).

---

**Lider projektu: Politechnika Warszawska**

**Autor: Łukasz Mik**

Akademia Nauk Stosowanych w Tarnowie

# Declaration

This laboratory instruction has been prepared in the context of the ENGINE project. Where other published and unpublished source materials have been used, these have been acknowledged.

# Copyright

© Copyright 2021 - 2023 the [ENGINE](#) Consortium

Warsaw University of Technology (Poland)

International Hellenic University (IHU) (Greece)

European Lab for Educational Technology- EDUMOTIVA (Greece)

University of Padova (Italy)

University of Applied Sciences in Tarnow (Poland)

All rights reserved.



This document is licensed to the public under a Creative Commons Attribution-NonCommercial-NoDerivatives 4.0 International License.

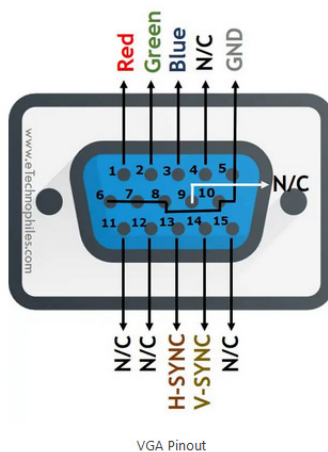
# Funding Disclaimer

This project has been funded with support from the European Commission. This report reflects the views only of the author, and the Commission cannot be held responsible for any use which may be made of the information contained therein.

# I. Interfejs VGA.

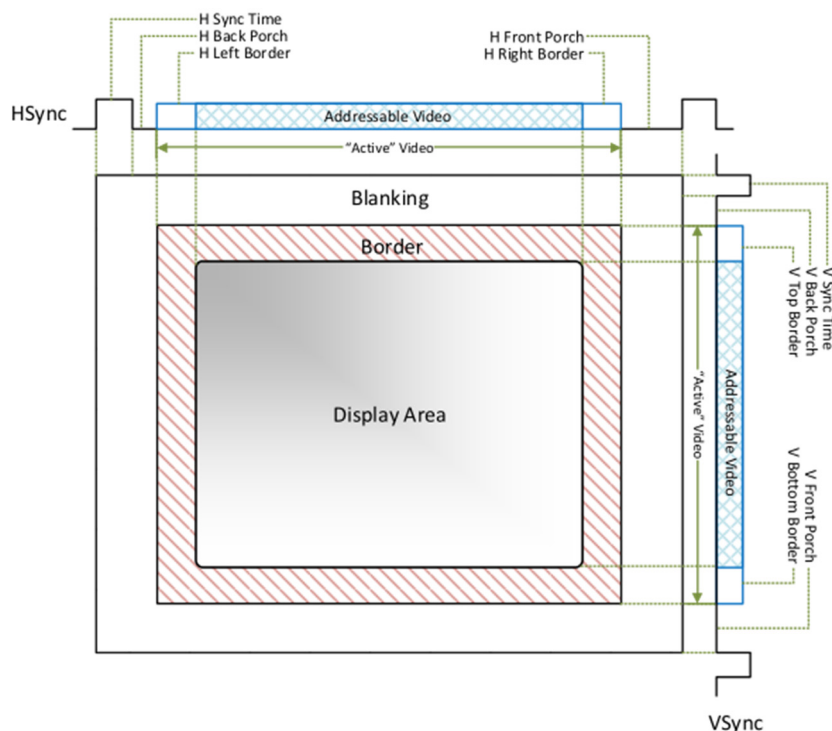
Standard VGA (ang. Video Graphics Array) jest to standard kart graficznych, ustanowiony w roku 1987 przez firmę IBM, która zastosowała go w komputerach serii IBM PS/2. Wraz z kartami pojawiło się nowe złącze monitorowe DE-15, popularnie zwane VGA, które wciąż jeszcze jest wspierane przez producentów komputerów i monitorów. Jest to standard związany z sygnałami analogowymi, przetwarzanymi przez monitor komputerowy. Rozdzielczości ekranu oraz parametry sygnałów są ściśle określone i publikowane przez organizację VESA ([www.vesa.org](http://www.vesa.org)). Omówiony w tej instrukcji przykład generuje sygnały o parametrach zgodnych ze standardem VESA dla rozdzielczości ekranu 640x480 pikseli.

Złącze DE-15 jest to 3 – rzędowe złącze typu D-Sub, w którym do generacji sygnału VGA jest wykorzystywanych 5 pinów, odpowiedzialnych za sygnały: Red (Czerwony), Green (Zielony), Blue (Niebieski), HS (*Horizontal Synchronization*), i VS (*Vertical Synchronization*). Czerwony, Zielony i Niebieski to trzy sygnały analogowe, które określają kolor punktu na ekranie, podczas gdy HS i VS zapewniają odniesienie do pozycji, w której punkt powinien być wyświetlany na ekranie. Odpowiednio sterując tymi pięcioma sygnałami zgodnie ze specyfikacją VESA, dotyczącą taktowania VGA, możemy wyświetlać wszystko co chcemy na dowolnych monitorach.



Rozdzielczość pozioma odpowiada za liczbę pikseli w wierszu (jednej linii) natomiast rozdzielczość pionowa – za liczbę linii na ekranie. Adres każdego piksela na ekranie jest określony częstotliwością zegara PCLK (*Pixel Clock*). Kontroler VGA musi generować sygnały taktowania H-Sync i V-Sync oraz koordynować dostarczanie danych wideo w oparciu o PCLK. Za częstotliwość odświeżania ekranu odpowiada sygnał V-Sync.

Schemat działania kontrolera VGA na przykładzie ekranu o rozdzielczości 640 x 480 pikseli został przedstawiony na poniższym rysunku.



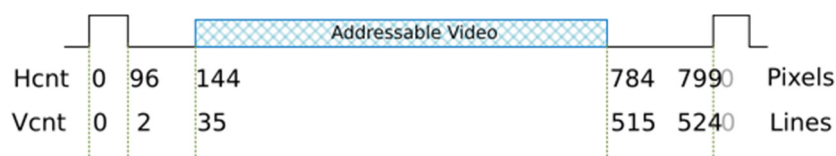
W poniższej tabeli zostały przedstawione parametry czasowe sygnałów, używanych do synchronizacji obrazu na ekranie monitora.

Opis	Oznaczenie	Czas	Szerokość impulsu/częstotliwość
Pixel Clock	tlck	39.7 ns ( $\pm 0.5\%$ )	25.175MHz
Hor Sync Time	ths	3.813 $\mu$ s	96 Pikseli
Hor Back Porch	thbp	1.907 $\mu$ s	48 Pikseli
Hor Front Porch	thfp	0.636 $\mu$ s	16 Pikseli
Hor Addr Video Time	thaddr	25.422 $\mu$ s	640 Pikseli
Hor L/R Border	thbd	0 $\mu$ s	0 Pikseli
V Sync Time	tvb	0.064 ms	2 Linie
V Back Porch	tvbp	1.048 ms	33 Linie
V Front Porch	tvfp	0.318 ms	10 Linii
V Addr Video Time	tvaddr	15.253 ms	480 Linii
V T/B Border	tvbd	0 ms	0 Linii

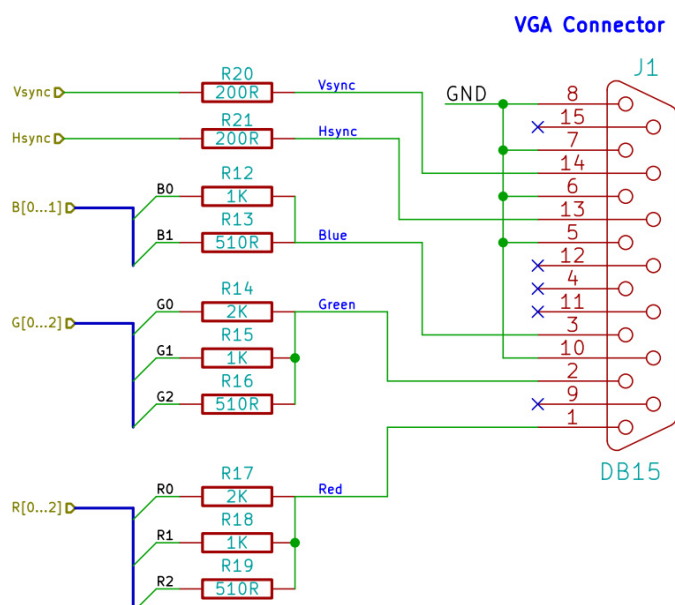
Dodatkowe czasy opóźnień, zwane przedśionkami (ang. *Porch*) dla sygnałów synchronizacji poziomej i pionowej to pozostałość po sposobie sterowania monitorami analogowymi CRT, gdzie plamka na ekranie była rysowana przez strumień elektronów na luminoforze. Ponieważ interfejs VGA jest typu analogowego, wobec tego konieczne jest zachowanie wszystkich parametrów z tabeli, które zostały określone na podstawie wymagań VESA.

## II. Generator sygnału wideo w języku VHDL.

Kontroler VGA musi generować kilka sygnałów, według specyfikacji określonej w powyższej tabeli. Według specyfikacji zegar piksela powinien mieć częstotliwość 25,175 MHz. Znacznie prościej w układzie FPGA jest wygenerować zegar o częstotliwości 25 MHz przy użyciu cyfrowego menedżera sygnałów zegarowych (DCM). Odchylenia w częstotliwości zegara na poziomie  $\pm 0,5\%$  są akceptowalne przez większość monitorów. Dodatkowo jest konieczne zaimplementowanie 2 liczników odpowiedzialnych za zliczanie pozycji na ekranie. Jeden licznik, odpowiedzialny za zliczanie pikseli w linii musi się wyzerować gdy osiągnie wartość 799. W chwili wyzerowania licznika pikseli następuje zwiększenie licznika linii o 1 (przejście do nowej linii). Podobnie licznik linii w pionie musi się wyzerować po dotarciu do końca ramki (ostatniej linii obrazu). Kolejny rysunek przedstawia sposób generowania sygnałów H-Sync i V-Sync na podstawie wartości liczników.



Płytkę ewaluacyjną Numato Elbert V2 z układem Spartan-3A, posiada interfejs VGA z ograniczoną liczbą kolorów możliwych do wygenerowania. Jeśli spojrzymy na schemat interfejsu możemy zauważyć proste przetworniki DAC dla każdej składowej koloru, złożone z drabinek rezystorów.



Dla kolorów zielonego i czerwonego jest to przetwornik 3-bitowy, natomiast dla koloru niebieskiego 2-bitowy. Rezystory na liniach Hsync i Vsync mają za zadanie ograniczyć prąd płynący w obwodach generowania impulsów synchronizacji po stronie monitora.

Biorąc pod uwagę liczbę bitów dla każdej składowej koloru możemy wygenerować maksymalnie  $2^3 * 2^3 * 2^2 = 256$  kolorów dla każdego piksela wyświetlanego na ekranie monitora. Jeśli chcielibyśmy wyświetlać obrazki to musielibyśmy zredukować liczbę kolorów do 256 bitów biorąc pod uwagę liczbę bitów dla poszczególnych jego składowych. Będzie to tematem kolejnych zajęć.

Podczas tych zajęć będziemy generować ramki obrazu monochromatycznego, czy li wyświetlane będą 2 kolory – biały i czarny. Biały kolor uzyskamy przez podanie na wszystkie linie B[0..1], G[0..2] i R[0..2] stanów wysokich czyli 3,3V.

Przed przystąpieniem do realizacji ćwiczeń należy pobrać pliki źródłowe i zapisać je w folderach o odpowiednich nazwach na dysku lokalnym komputera.

## 1) Rysowanie koła na ekranie monitora.

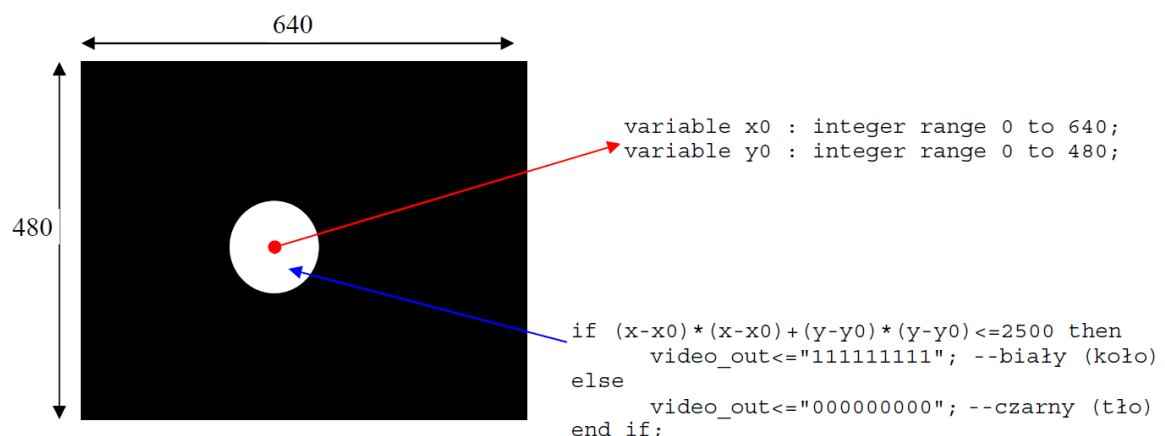
Rysowanie koła na ekranie odbywa się przy użyciu wzoru opisującego koło w kartezjańskim układzie współrzędnych:

$$(x - x_0)^2 + (y - y_0)^2 \leq r^2$$

gdzie:

$r > 0$  – promień koła

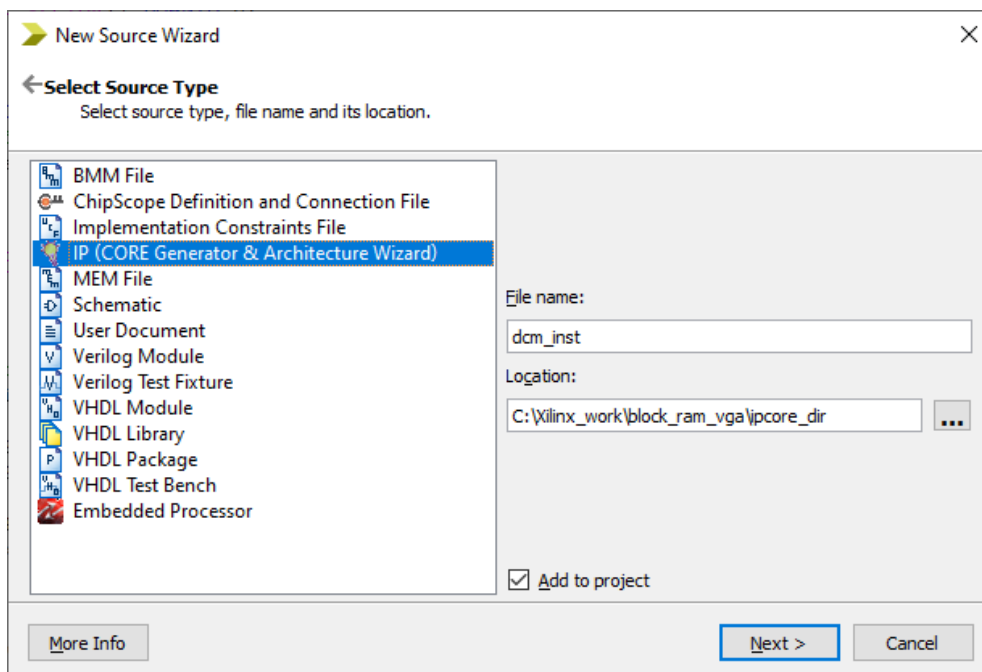
$(x_0, y_0)$  – współrzędne środka koła

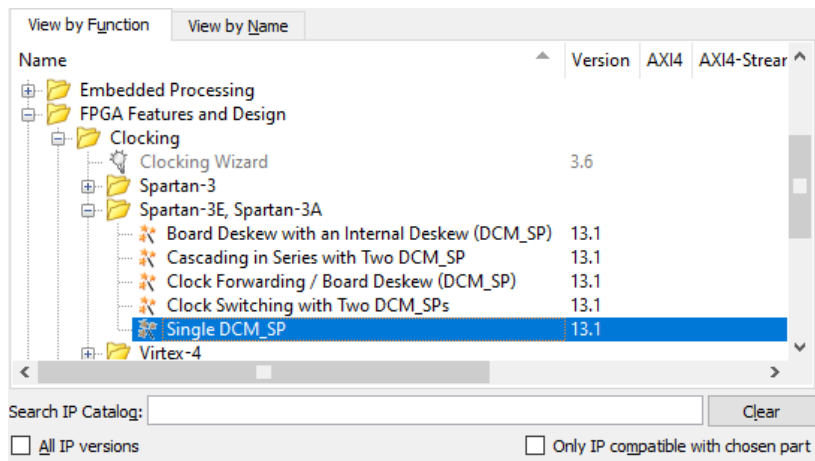


Uruchom program ISE Design Suite 14.7, z menu *File* wybierz opcję *New Project*. Wpisz odpowiednią nazwę projektu np. *circle\_vga*, a w kolejnym oknie ustaw następujący układ docelowy dla tworzonego projektu:

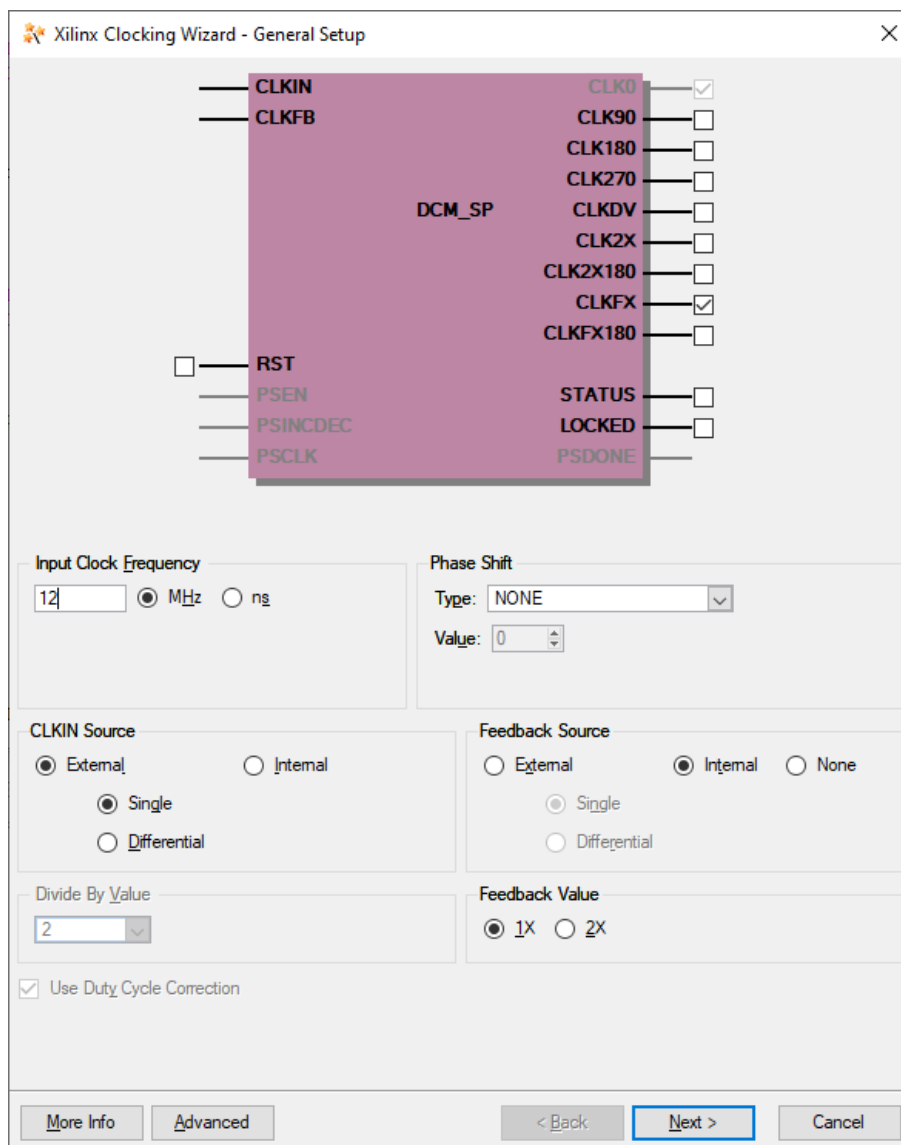
Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3A and Spartan3AN
Device	XC3S50A
Package	TQ144
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
<b>VHDL Source Analysis Standard</b>	VHDL-200X
Enable Message Filtering	<input type="checkbox"/>

Do projektu dodaj pliki źródłowe o nazwach *circle\_vga.vhd* i *circle\_vhd.ucf*. Następnie dodajemy nowe źródło do projektu i przy użyciu generatora *IP Core* dodajemy blok DCM wpisując *dcm\_inst* jako jego nazwę.





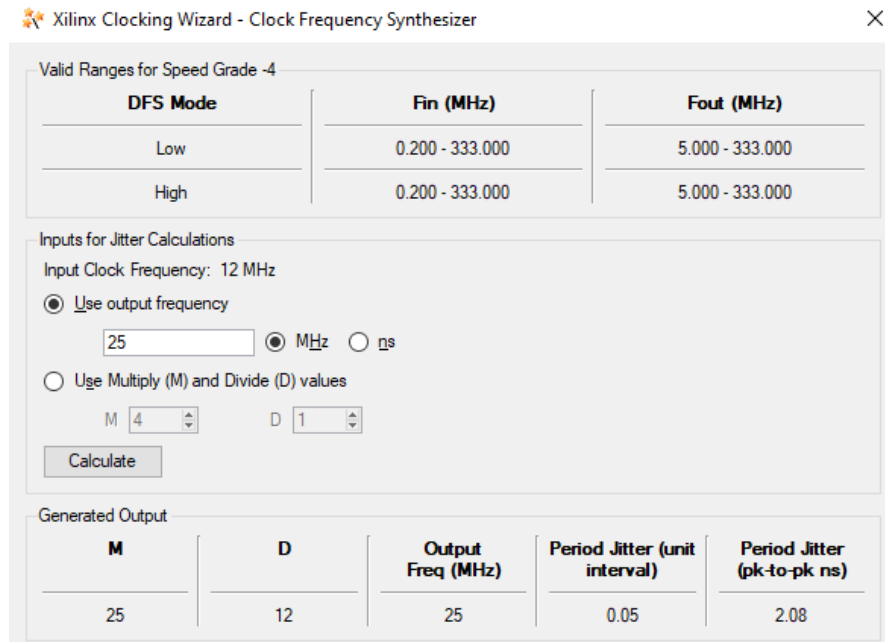
W kolejnym dwóch krokach potwierdzamy ustawienia i wybieramy język VHDL jako źródłowy dla instancji bloku DCM. Następnie ustalamy parametry sygnału zegarowego na wejściu – 12 MHz i zaznaczamy wyjście CLKFX, pozostałe odznaczamy.



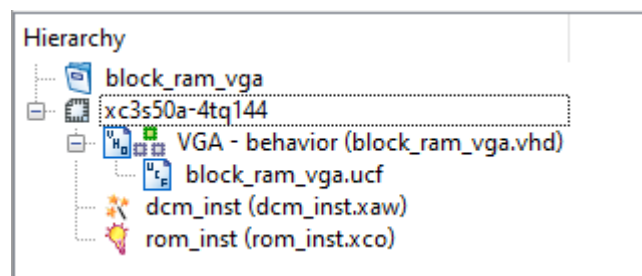
Po naciśnięciu przycisku *Next* w tym oknie i następnym konfigurator bloku DCM przeniesie nas na stronę syntezy częstotliwości zegara. W oknie syntezy podajemy



wyjściową częstotliwość sygnału zegarowego równą 25 MHz. Jest ona niezbędna do prawidłowej pracy generatora sygnału wideo dla monitora z portem VGA, pracującego z rozdzielczością 640 x 480 pikseli. Takie parametry pracy monitora VGA są zdefiniowane przez standard VESA.



W projekcie powinien się pojawić plik *dcm\_inst.xaw*



**UWAGA:** W plikach źródłowych zostały zakomentowane linie dotyczące bloku DCM. Po dodaniu tego bloku należy odkomentować odpowiednie linie pokazane na listing poniżej.

```

component dcm_inst
port(
    CLKIN_IN : IN std_logic;
    CLKFX_OUT : OUT std_logic
);
end component;
...

DCM1: dcm_inst PORT MAP(CLKIN_IN => clk , CLKFX_OUT => clk_25);

```

Po skompilowaniu projektu i wygenerowaniu pliku konfiguracyjnego *circle\_vga.bit* należy zaprogramować układ docelowy i sprawdzić efekt działania systemu na ekranie monitora VGA.

## 2) Prosta animacja kwadratu poruszającego się po ekranie.

Należy utworzyć nowy projekt o nazwie *animation\_vga* i dodać do niego pliki źródłowe *\*.vhd* i *\*.ucf* o tej samej nazwie. W kolejnym kroku należy dodać blok DCM i odkomentować fragment kodu dotyczący tego komponentu. Po skonfigurowaniu układu Spartan-3A plikiem *\*.bit*, wygenerowanym z tego projektu, na ekranie powinien pojawić się biały kwadrat na czarnym tle, który z częstotliwością 60 Hz będzie przesuwał się w prawo do pewnej pozycji i wracał z powrotem.

### Zadania:

- pierwszy projekt z kołem należy tak zmodyfikować, aby na ekranie wyświetlało się tylko obramowanie koła (okrąg).
- drugi projekt należy przerobić na animację kwadratu w płaszczyźnie pionowej i poziomej jednocześnie.
- do koła dorobić animację płynnej zmiany koloru z częstotliwością 60 Hz (odświeżania ekranu)

## References

- J. Majewski, P. Zbysiński – *Układy FPGA w przykładach*. Wydawnictwo BTC, Legionowo 2007.
- Digilent Reference Page: Programmable Logic Tutorials - *VGA Display Controller*.  
<https://digilent.com/reference/learn/programmable-logic/tutorials/vga-display-controller/start>